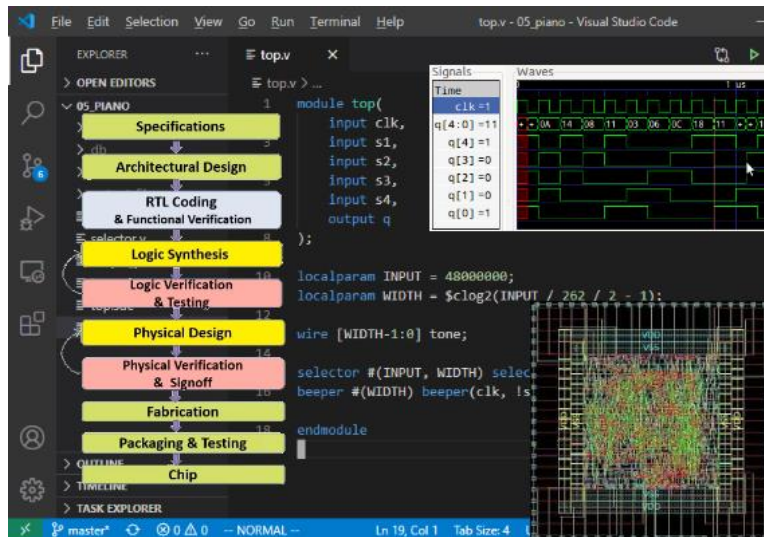




Лингвистические средства проектирования



Лабораторная работа 1

Основы проектирования ЦИС на языке Verilog HDL с использованием открытого программного обеспечения

Подготовка виртуальной машины



Скачать и установить Oracle VirtualBox

<https://www.virtualbox.org>



Скачать и поставить образ openSUSE Leap 15.5

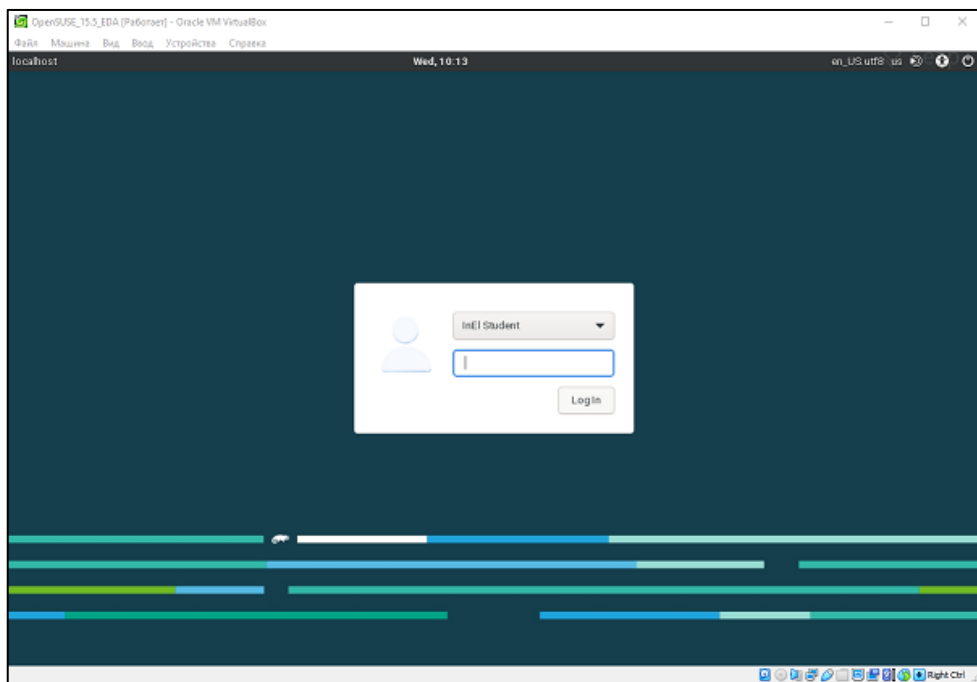
<https://get.opensuse.org/leap/15.5/>

При установке openSUSE обязательно выбрать следующие пакеты:

- git
- gcc-c++
- gcc-ada
- make
- mc
- bison
- flex
- qt6
- iverilog
- gtkwave
- ngspice

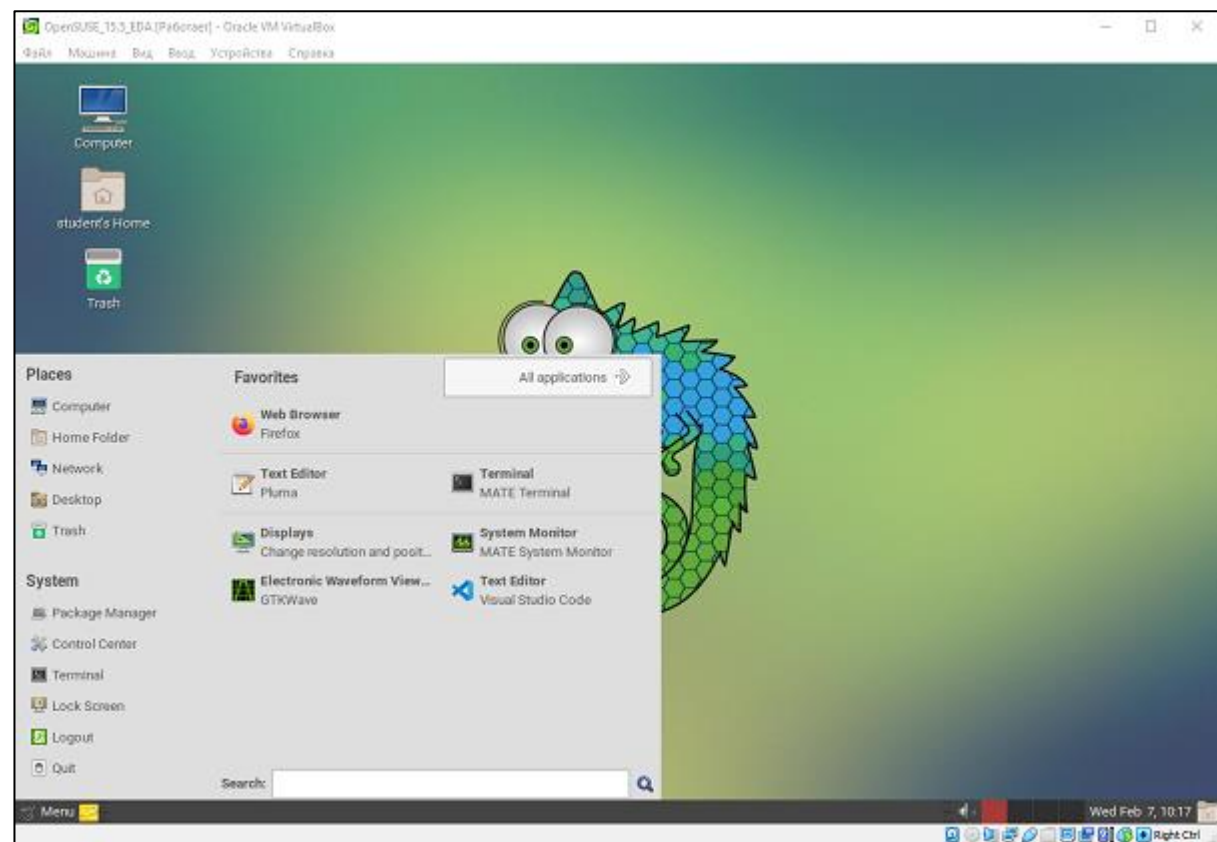
Готовая виртуальная машина

Вход в Linux



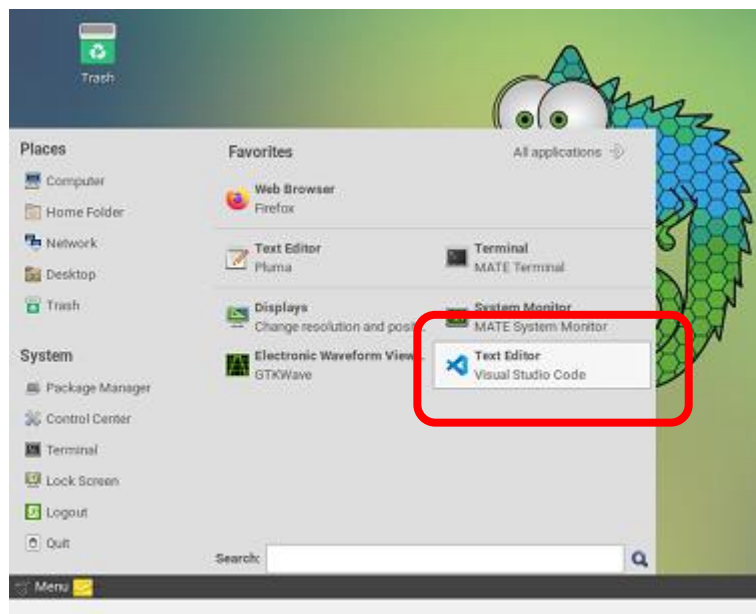
Логин: student (InEl Student)
Пароль: student

Вид рабочего стола



Разработка HDL-описаний на языке Verilog HDL

Среда разработки: Visual Studio Code



Создать в домашней директории пользователя папку, идентифицирующую пользователя (номер группы, номер студенческого и т.д.)

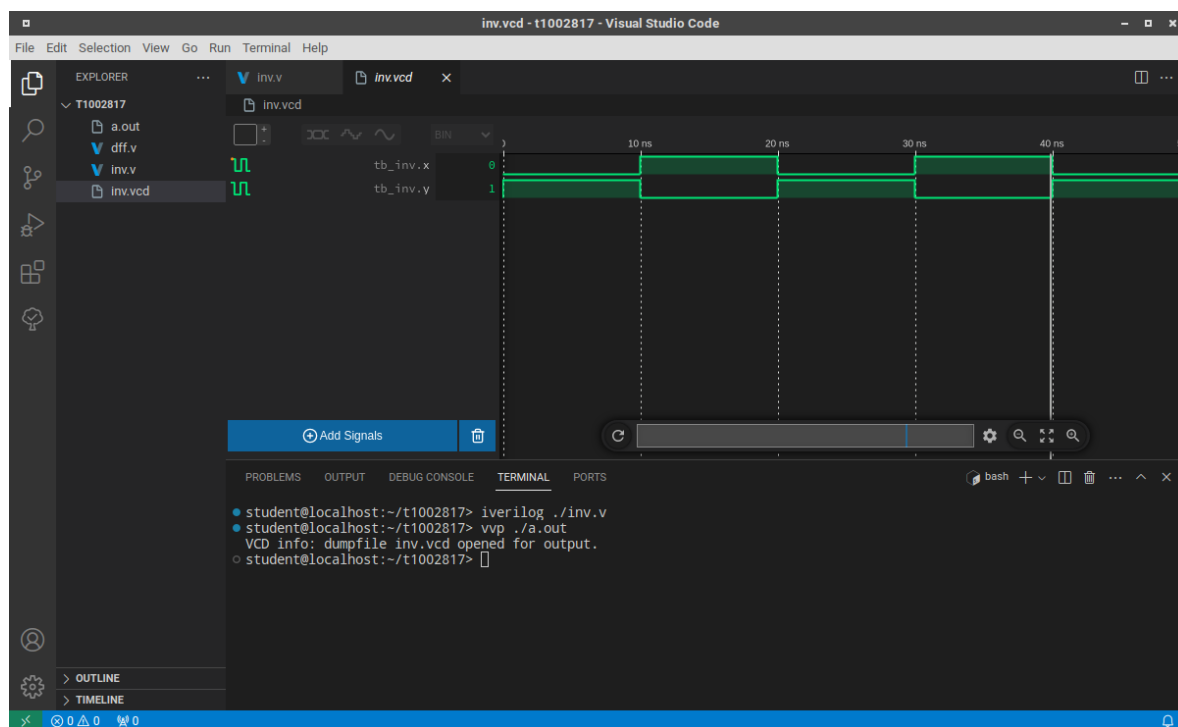
```
inv.v - t1002817 - Visual Studio Code
File Edit Selection View Go Run Terminal Help
EXPLORER
T1002817
  dff.v
  inv.v
V inv.v
1 `timescale 1ns/1ns
2 // Inverter
3 module inv (x, y);
4   input x;
5   output y;
6
7   assign y = ~x;
8 endmodule
9
10 `timescale 1ns/1ns
11 module tb_inv;
12   reg x;
13   wire y;
14
15   inv i1(x, y);
16
17   initial begin
18     $dumpfile("inv.vcd");
19     $dumpvars(1, tb_inv);
20     #0 x = 0;
21     #10 x = 1;
22     #10 x = 0;
23     #10 x = 1;
24     #10 x = 0;
25     #10 $finish;
26   end
27
28 endmodule
OUTLINE
TIMELINE
Ln 14, Col 1 Spaces: 4 UTF-8 LF Verilog
```

В vscode перейти в эту папку, создать в ней файл и набрать код первого примера (см. задание к ЛР №1)

Верификация результатов

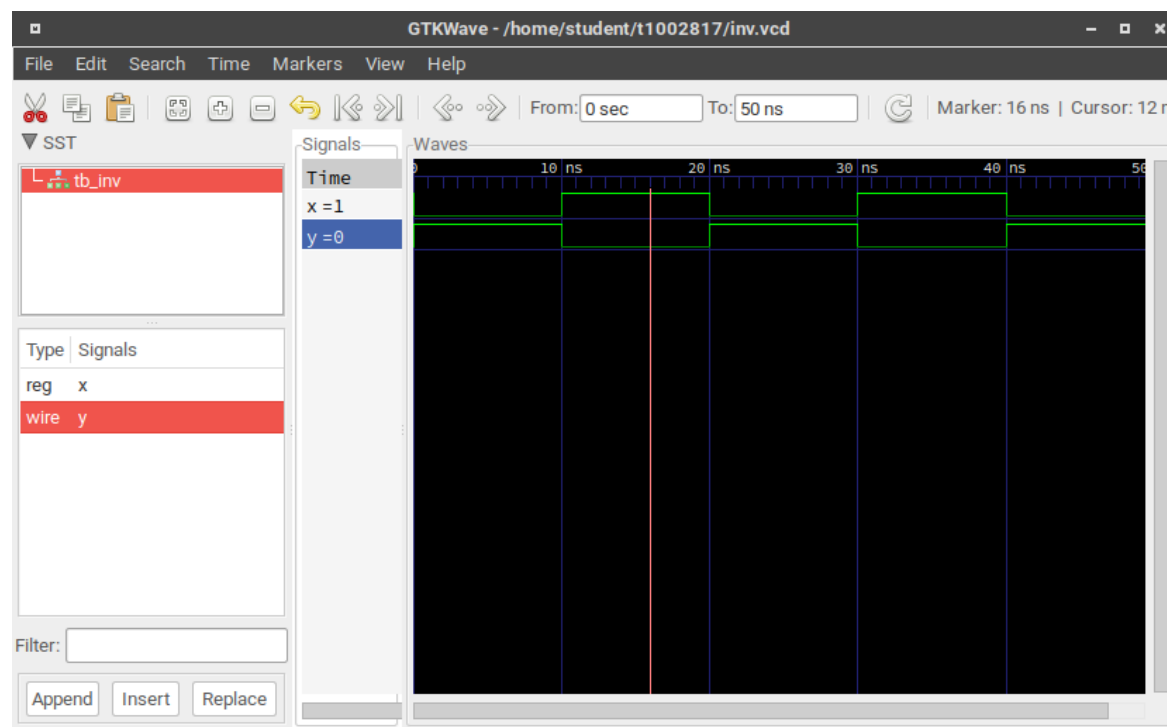
Для верификации результатов моделирования можно воспользоваться одним из двух средств.

Плагин для vscode: wavetrace



Для запуска достаточно кликнуть по имени файла .vcd в дереве проекта в vscode

Программа gtkwave



Для запуска нужно кликнуть правой кнопкой мыши по имени файла в дереве и выбрать пункт gtkwave (третий снизу) или ввести в терминале команду:
`gtkwave ./inv.vcd`