

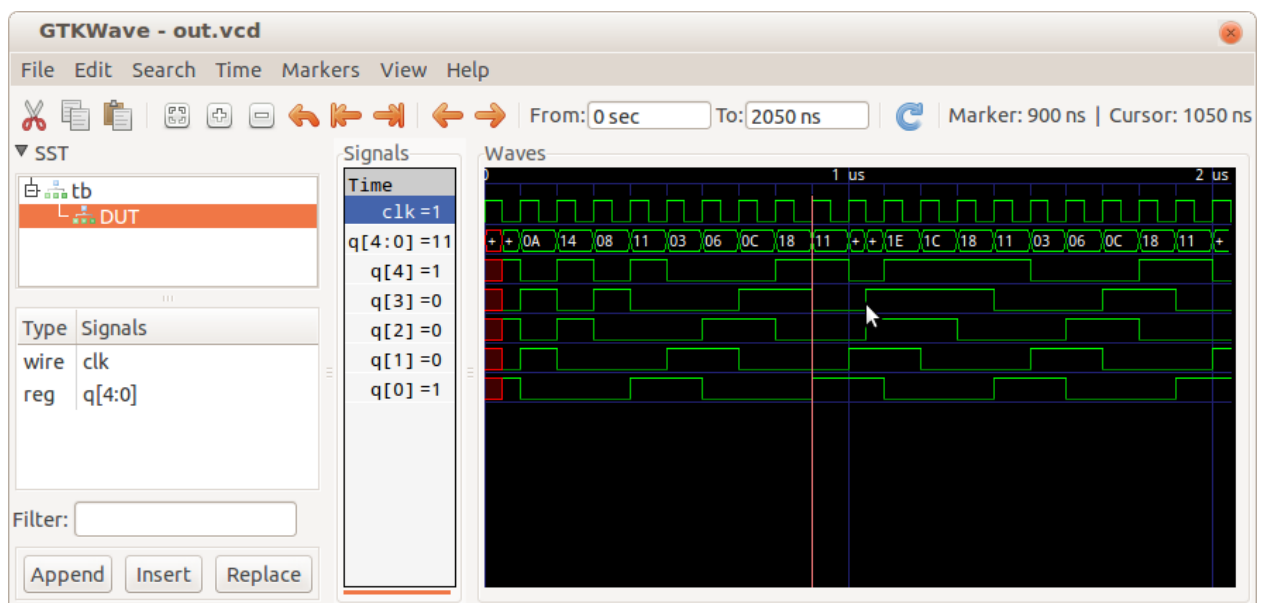
**Внимание! Это – дополнительная часть СРС.**

Задания этого раздела не являются обязательными для выполнения. Они не оцениваются баллами и предназначены исключительно для желающих попрактиковаться в программировании и сделать чуть больше, чем делает основная масса студентов в рамках выполнения заданий для самостоятельной работы и лабораторных работ.

*Сдать задание до:* 27 декабря (включительно)  
*Куда отправлять:* dima@pkims.ru  
*Тема письма:* ТА – СРС8 бонус – группа – фамилия

Продолжаем разбираться с этапом логического проектирования.

В прошлый раз мы рассмотрели способ представления результатов логического моделирования, показанных на рисунке ниже.



Напомню вам, как устроен файл.

```
HEADER
clk
q[4]
q[3]
q[2]
q[1]
q[0]
INITIAL
clk CLOCK 0
q[4] DATA 0
q[3] DATA 0
q[2] DATA 0
q[1] DATA 0
q[0] DATA 0
DATA
```

```
clk 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 ...
q[4] 0 1 0 0 1 1 0 0 1 1 0 0 0 0 0 0 1 1 1 1 0 0 1 1 1 1 1 1 ...
...
q[0] 0 1 0 0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 1 1 1 1 0 0 0 0 0 1 1 ...
END
```

1. Реализуйте программу, которая превратит эту последовательность нулей и единиц в биты байтов.
2. Поскольку не все последовательности бит в байте имеют отображение в таблице ASCII символов, разработайте и примените реализацию алгоритма Base64, представив для каждого из входных сигналов закодированное значение, соответствующее последовательности бит.